
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000026283 A

(43)Date of publication of application: 15.05.2000

(21)Application number: 980043759

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22)Date of filing: 16.10.1998

(72)Inventor:

LEE, HYEON CHEOL

(51)Int. Cl.

H01L 27/108

(54) METHOD FOR MANUFACTURING CAPACITOR

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor is provided to increase a surface area of a capacitor, reduce a height of the capacitor and a depositing time and an etching time of the capacitor by forming a mold layer as an accumulated layer.

CONSTITUTION: A method for manufacturing a capacitor is to maintain capacitance of a capacitor and reduce a size of the capacitor. A first oxide layer (102), a nitride layer(103), and a second oxide layer are accumulated sequentially on a semiconductor substrate(100). A storage electrode layer is deposited on the accumulated layer according to a topology of a storage electrode opening. In both sides of the storage electrode opening, a lower portion electrode layer of the capacitor is removed to form a capacitor lower portion electrode. By using a nitride layer of both sides of the capacitor lower portion electrode as an etch stopping layer, the second oxide layer is removed to expose a part of the capacitor lower portion electrode. The capacitor is completed by forming a capacitor dielectric layer(110) and a plate electrode(112) on the nitride layer comprising a storage electrode.

COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination ()

Notification date of refusal decision ()

Final disposal of an application (application)

Date of final disposal of an application ()

Patent registration number ()

Date of registration ()

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

(43) 공개일자 2000년05월15일

반도체 장치가 고집적화 됨에 따라 특히, DRAM(dynamic random access memory)의 경우 커패시터의 용량을 줄이지 않으면서 동시에 고집적화를 이루어 내는 것이 핵심 과제가 되고 있다.

반도체 설계상 디자인 룰(design rule)이 타이트(tight) 해짐에 따라, 기존의 스토리지 전극(storage electrode)과 콘택홀(contact hole)간의 마진(margin)이 축소되어 이를 해결하기 위한 여러 가지 방법이 시도되고 있다.

커패시터의 용량은 일반적으로 잘 알려진 다음의 수식에 의해 결정된다.

[수학식]

$$C = \epsilon A/d$$

여기서, ϵ 는 커패시터 유전막의 유전율을 나타내고, A는 커패시터 전극의 표면적을 나타내며, d는 커패시터 전극간 거리를 나타낸다. 커패시터 용량을 증가시키기 위해서는 유전율을 증가시키거나 커패시터 전극간 거리를 줄이고, 표면적을 증가시켜야 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 커패시터의 용량(capacitance)을 유지 하면서 커패시터의 크기를 감소시킬 수 있는 커패시터의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위한 본 발명에 의하면, 커패시터의 제조 방법은, 반도체 기판(100) 상에 다층 절연막(102 - 104)을 형성하되, 절연막(102, 104)과, 상기 절연막(102, 104) 내에 상기 절연막(102, 104)과 서로 다른 식각 선택비(etch selectivity)를 갖는 물질막(103)을 포함하도록 형성하는 단계; 상기 반도체 기판(100)의 표면의 일부가 노출될 때까지 상기 다층 절연막(102 - 104)을 부분적으로 식각 하여 오픈닝(opening)(106)을 형성하는 단계; 상기 오픈닝(106)의 토폴로지(topology)를 따라 다층 절연막(102 - 104) 상에 커패시터 하부전극막(108)을 형성하는 단계; 오픈닝(106) 양측의 상기 커패시터 하부전극막(108)을 제거하여 커패시터 하부전극(108a)을 형성하는 단계; 상기 커패시터 하부전극(108a) 양측의 상기 물질막(103)의 상부 표면이 노출될 때까지 상기 다층 절연막(102 - 104)을 식각 하여 상기 커패시터 하부전극(108a)의 일부 표면을 노출시키는 단계; 및 상기 커패시터 하부전극(108a)을 포함하여 물질막(103) 상에 커패시터 유전막(110) 및 커패시터 상부전극(112)을 차례로 형성하여 커패시터(120)를 형성하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 커패시터 하부전극(108a)의 일부 표면을 노출시키기 위해 수행되는 다층막 식각 공정은 상기 절화막(103)을 식각 정지층(etch stopping layer)으로 사용되어 수행된다.

(작용)

도 6을 참조하면, 본 발명의 실시예에 따른 신규한 커패시터의 제조 방법은, 스토리지 전극을 형성하기 위한 주형층(mold layer)으로서, 산화막/절화막/산화막이 차례로 적층된 다층막이 형성된다. 스토리지 전극 형성 후 절화막을 식각 정지층으로 사용하여 절화막 상부의 산화막이 제거된다. 이로써, 커패시터의 표면적을 증가시킬 수 있고, 따라서 커패시터의 높이를 낮출 수 있으며, 커패시터 전극막 증착 시간 및 식각 시간을 줄일 수 있다.

(실시예)

이하, 도 1 내지 도 6을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1 내지 도 6은 본 발명의 실시예에 따른 금속 커패시터(metal capacitor)의 제조 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 1을 참조하면, 본 발명의 실시예에 따른 금속 커패시터의 제조 방법은 먼저, 반도체 기판(100) 상에 제 1 산화막(102), 절화막(103), 그리고 제 2 산화막(104)이 차례로 증착된다.

상기 제 1 산화막(102), 절화막(103), 그리고 제 2 산화막(104)의 전체 두께는 적어도 형성하고자 하는 커패시터의 높이 이상으로 형성된다.

커패시터 하부전극을 형성하기 위한 리버스 패턴(reverse pattern)(도면에 미도시)을 사용하여 반도체 기판(100)의 상부 표면이 노출될 때까지 상기 제 2 산화막(104), 절화막(103), 그리고 제 1 산화막(102)이 차례로 식각 된다. 그 결과, 스토리지 전극 오픈닝(106)이 형성된다. 여기서, 상기 리버스 패턴은 스토리지 전극이 형성될 부위의 제 2 산화막(104)의 상부 표면이 노출되도록 형성된 패턴을 말한다.

도 2에 있어서, 상기 스토리지 전극 오픈닝(106)의 토폴로지(topology)를 따라, 스토리지 전극 오픈닝(106) 및 그 양측의 제 2 산화막(104) 상에 스토리지 전극막(108)이 증착된다. 상기 스토리지 전극막(108)은 예를 들어, TiW/TiW-N/Mo의 다층 금속막 구조를 갖도록 형성된다.

상기 스토리지 전극 오픈닝(106) 양측의 스토리지 전극막(108)이 건식 식각 공정 등으로 제거되어 도 3에 서와 같이, 스토리지 전극(108a)이 형성된다.

상기 절화막(103)을 식각 정지층으로 사용하여 상기 제 2 산화막(104)이 제거된다. 그 결과, 상기 스토리지 전극(108a)의 일부 표면이 노출된다.(도 4) 이것은 곧 커패시터의 표면적의 증가를 의미한다. 이 때, 상기 제 2 산화막(104)은 예를 들어, 습식 식각 공정으로 제거된다.

마지막으로, 상기 스토리지 전극(108a) 및 절화막(103) 상에 커패시터 유전막(110)이 증착된 후(도 5), 상기 커패시터 유전막(110) 상에 커패시터 하부전극인 플레이트 전극막(plate electrode layer)이 증착된 후 패터닝 되어 플레이트 전극(112)이 형성된다. 이때, 상기 플레이트 전극막은 상기 스토리지 전극막(108)과 동일한 구조 즉, TiW/TiW-N/Mo의 다층 금속막 구조를 갖도록 형성된다.

그러면, 도 6에 도시된 바와 같이, 금속 커패시터(metal capacitor)(120)가 완성된다. 이때, 상기 플레이트 전극(112)은 상기 스토리지 전극 오프닝(106)을 완전히 채우도록 형성된다.

발명의 효과

본 발명은 스토리지 전극을 형성하기 위한 주형층(mold layer)을 산화막/절화막/산화막의 다층막으로 형성하고, 스토리지 전극 형성 후 절화막을 식각 정지층으로 사용하여 절화막 상부의 산화막을 식각 함으로써, 커패시터의 표면적을 증가시킬 수 있고, 따라서 커패시터의 높이를 낮출 수 있으며, 커패시터 전극막 증착 시간 및 식각 시간을 줄일 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1. 반도체 기판(100) 상에 다층 절연막(102 - 104)을 형성하되, 절연막(102, 104)과, 상기 절연막(102, 104) 내에 상기 절연막(102, 104)과 서로 다른 식각 선택비(etch selectivity)를 갖는 물질막(103)을 포함하도록 형성하는 단계;

상기 반도체 기판(100)의 표면의 일부가 노출될 때까지 상기 다층 절연막(102 - 104)을 부분적으로 식각하여 오프닝(opening)(106)을 형성하는 단계;

상기 오프닝(106)의 토폴로지(topology)를 따라 다층 절연막(102 - 104) 상에 커패시터 하부전극막(108)을 형성하는 단계;

오프닝(106) 양측의 상기 커패시터 하부전극막(108)을 제거하여 커패시터 하부전극(108a)을 형성하는 단계;

상기 커패시터 하부전극(108a) 양측의 상기 물질막(103)의 상부 표면이 노출될 때까지 상기 다층 절연막(102 - 104)을 식각하여 상기 커패시터 하부전극(108a)의 일부 표면을 노출시키는 단계; 및

상기 커패시터 하부전극(108a)을 포함하여 물질막(103) 상에 커패시터 유전막(110) 및 커패시터 상부전극(112)을 차례로 형성하여 커패시터(120)를 형성하는 단계를 포함하는 커패시터의 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 절연막(102, 104)은 산화막으로 형성되고, 상기 물질막(103)은 절화막으로 형성되는 커패시터의 제조 방법.

청구항 3. 제 1 항에 있어서,

상기 커패시터 하부전극(108a)의 일부 표면을 노출시키기 위해 수행되는 다층 절연막(102 - 104) 식각 공정은 습식 식각(wet etch) 공정으로 수행되는 커패시터의 제조 방법.

청구항 4. 제 1 항에 있어서,

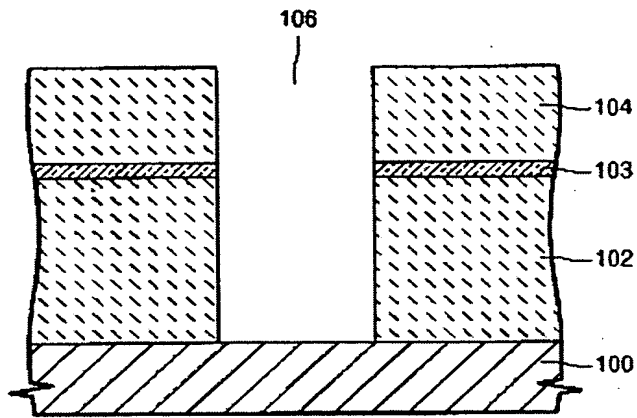
상기 커패시터 하부전극(108a)의 일부 표면을 노출시키기 위해 수행되는 다층막 식각 공정은 상기 절화막(103)을 식각 정지층(etch stopping layer)으로 사용되어 수행되는 커패시터의 제조 방법.

청구항 5. 제 1 항에 있어서,

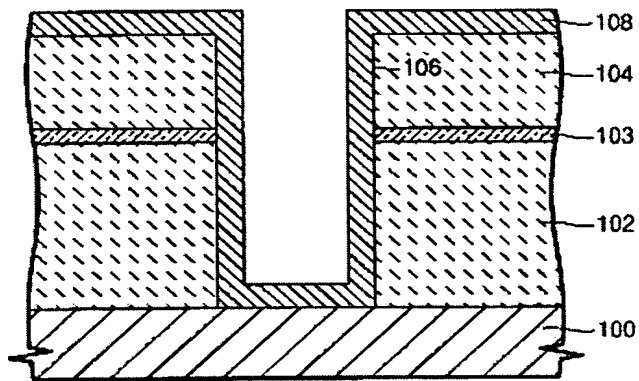
상기 커패시터 하부전극(108a) 및 커패시터 상부전극(112)은 금속막으로 형성되는 커패시터의 제조 방법.

도면

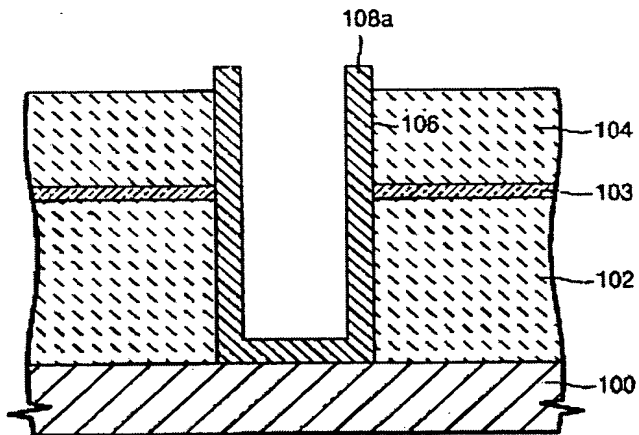
도 1



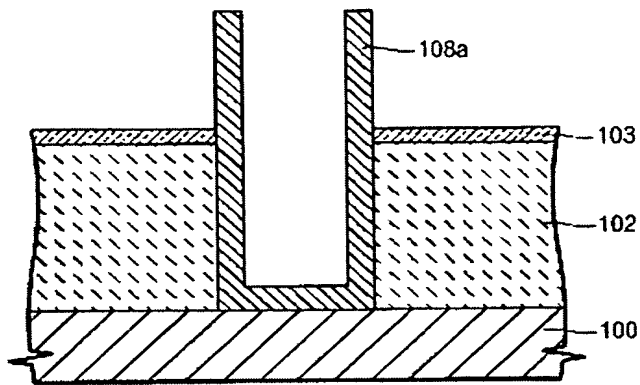
도 2



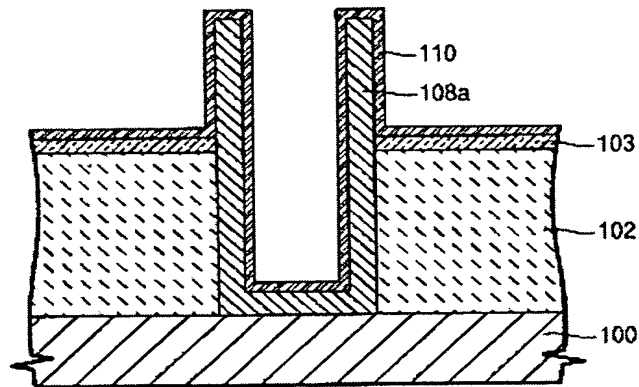
도 3



도 24



도 25



도 26

